

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-053049

(43)Date of publication of application : 26.02.1999

(51)Int.CI. G06F 1/04
G06F 1/32
G06F 1/26

(21)Application number : 09-210627 (71)Applicant : TOSHIBA CORP

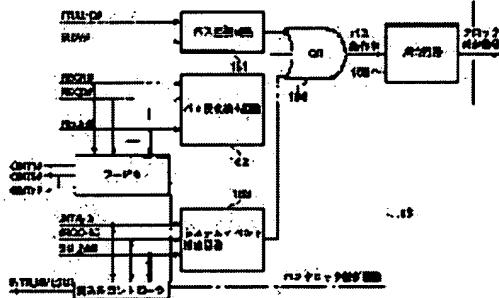
(22)Date of filing : 05.08.1997 (72)Inventor : MAKI YASUNORI

(54) COMPUTER SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption of a computer by enabling control over the stop and restart of a bus clock without mounting any special function on a peripheral device on a bus.

SOLUTION: When a bus monitor circuit 161 detects FRAME# and IRDY# being both supported and a bus request detecting circuit 162 and a system event detecting circuit 163 detect a bus request signal and a system event signal not being generated, the output of a 3-input OR gate 164 goes down to 'L' indicating that the bus is not in operation. Consequently, a clock control signal output circuit 165 generates a clock control signal indicating the stop of PCICLK, and consequently the supply to PCICLK to respective PCI devices is stopped.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

[application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-53049

(43)公開日 平成11年(1999)2月26日

(51)Int.Cl.⁶
G 0 6 F 1/04
1/32
1/26

識別記号
3 0 1

F I
G 0 6 F 1/04
1/00
3 0 1 B
3 3 2 Z
3 3 4 G

審査請求 未請求 請求項の数4 O.L. (全8頁)

(21)出願番号 特願平9-210627
(22)出願日 平成9年(1997)8月5日

(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 牧 康典
東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内
(74)代理人 弁理士 鈴江 武彦 (外6名)

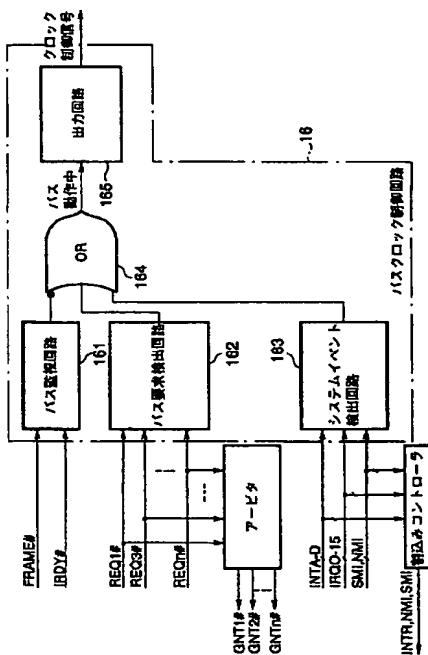
(54)【発明の名称】コンピュータシステム

(57)【要約】

【課題】バス上の周辺デバイスに特別な機能を実装することなくバスロックの停止／再開を制御できるようにし、コンピュータの消費電力の低減を図る。

【解決手段】FRAME#およびIRDY#が共にデアサートされたことがバス監視回路161によって検出され、且つバス要求信号およびシステムイベント信号が発生されてないことがバス要求検出回路162およびシステムイベント検出回路163によって検出されると、3入力ORゲート164の出力はバス非動作中を示す

“L”レベルとなる。これにより、クロック制御信号出力回路165からはPCI CLKの停止を指示するクロック制御信号が発生され、これによって各PCIデバイスに対するPCI CLKの供給が停止される。



1

【特許請求の範囲】

【請求項1】コンピュータシステムのバスに結合される複数の周辺デバイスと、

これら複数の周辺デバイスに前記バス上のトランザクションのタイミングを与えるためのバスクロックを生成するバスクロック生成手段と、

前記バス上のトランザクションを監視し、バスアイドル状態か否かを検出するバスアイドル検出手段と、

前記各周辺デバイスからのバス要求信号および割り込み信号の有無を検出するイベント検出手段と、

前記バスアイドル検出手段および前記イベント検出手段の検出結果に基づいて前記バスクロック生成手段のクロック生成動作を制御するクロック制御手段であって、バスアイドル状態であることが検出され、且つ前記バス要求信号および割り込み信号が発生されてないことが検出されたとき前記バスクロックを停止させるクロック制御手段とを具備することを特徴とするコンピュータシステム。

【請求項2】前記クロック制御手段は、

前記バスアイドル状態であることが検出され、且つ前記バス要求信号および割り込み信号が発生されてないことが検出されてから、一定時間経過後に前記バスクロックが停止されるように、前記バスクロックを停止させるタイミングを遅延させる手段と、

前記バスアイドル状態の解除、前記バス要求信号、もしくは前記割り込み信号の発生が検出されたとき、前記バスクロックの供給を再開させる手段とを具備することを特徴とする請求項1記載のコンピュータシステム。

【請求項3】コンピュータシステムのバスに結合される複数のデバイスと、

これら複数のデバイスに前記バス上のトランザクションのタイミングを与えるためのバスクロックを生成するバスクロック生成手段と、

前記バス上のトランザクションを監視し、バスアイドル状態か否かを検出するバスアイドル検出手段と、

前記各デバイスからのバス要求信号および割り込み信号の有無を検出するイベント検出手段と、

前記バスアイドル検出手段および前記イベント検出手段の検出結果に基づいて前記バスクロック生成手段のクロック生成動作を制御するクロック制御手段であって、バスアイドル状態であることが検出され、且つ前記バス要求信号および割り込み信号が発生されてないことが検出されたとき前記バスクロックの周波数を低下させるクロック制御手段とを具備することを特徴とするコンピュータシステム。

【請求項4】前記クロック制御手段は、

前記バスアイドル状態であることが検出され、且つ前記バス要求信号および割り込み信号が発生されてないことが検出されてから、一定時間経過後に前記バスクロックの周波数が低下されるように、前記バスクロックの周波

2

数を低下させるタイミングを遅延させる手段と、前記バスアイドル状態の解除、前記バス要求信号もしくは前記割り込み信号の発生が検出されたとき、前記バスクロックの周波数を元の状態に復帰させる手段とを具備することを特徴とする請求項3記載のコンピュータシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はコンピュータシステムに関し、特にバスクロック制御機能を有するコンピュータシステムに関する。

【0002】

【従来の技術】従来、パーソナルコンピュータに使用されるシステムバスとしては、ISA (Industry Standard Architecture) バスやEISA (Extended ISA) バスが主流であったが、最近では、データ転送速度の高速化や、プロセッサに依存しないシステムアーキテクチャの構築のために、PCI (Peripheral Component Interconnect) バスが採用され始めている。

【0003】PCI バスにおいては、ほとんど全てのデータ転送はブロック転送を基本としており、これら各ブロック転送はバースト転送を用いて実現されている。これにより、PCI バスでは最大133Mバイト/秒(データバスが32ビット幅の時)のデータ転送速度を実現できる。

【0004】したがって、PCI バスを採用すると、I/O デバイス間、およびシステムメモリと I/O デバイスとの間のデータ転送などを高速に行なうことが可能となり、システム性能を高めることができる。

【0005】このようなPCI バスアーキテクチャでは、高速動作の実現のために33MHzという比較的高速なバスクロックが用いられている。このバスクロックはPCI バス上のトランザクションのタイミングをバス上の各周辺デバイスに提供するためのものであり、システム動作中は常にバス上の周辺デバイスに供給され続けている。

【0006】

【発明が解決しようとする課題】しかし、このような高速バスクロックは、コンピュータの電力消費量を高める大きな要因の一つとなる。このため、最近では、PCI バスの仕様の中にもバスクロックを停止させるための仕様("CLKRUN" プロトコル)が盛り込まれるようになってきている。

【0007】ところが、この"CLKRUN" プロトコルをシステムに実装するためには、PCI バス上の全てのデバイスが"CLKRUN" プロトコルに対応するための機能を持つことが必要とされる。このため、"CLKRUN" プロトコルに対応してない既存の周辺デバイ

50

スが存在する場合には“CLKRUN”プロトコルを用いることができず、バスクロックを停止させることはできなかった。

【0008】この発明はこのような点に鑑みてなされたものであり、周辺デバイスに“CLKRUN”プロトコルなどの特別な機能を実装することなくバスクロックを制御できるようにし、容易に消費電力の低減を図ることが可能なコンピュータシステムを提供することを目的とする。

【0009】

【課題を解決するための手段】この発明によるコンピュータシステムは、コンピュータシステムのバスに結合される複数の周辺デバイスと、これら複数の周辺デバイスに前記バス上のトランザクションのタイミングを与えるためのバスクロックを生成するバスクロック生成手段と、前記バス上のトランザクションを監視し、バスアイドル状態か否かを検出するバスアイドル検出手段と、前記各周辺デバイスからのバス要求信号および割り込み信号の有無を検出するイベント検出手段と、前記バスアイドル検出手段および前記イベント検出手段の検出結果に基づいて前記バスクロック生成手段のクロック生成動作を制御するクロック制御手段であって、バスアイドル状態であることが検出され、且つ前記バス要求信号および割り込み信号が発生されてないことが検出されたとき前記バスクロックを停止させるクロック制御手段とを具備することを特徴とする。

【0010】このコンピュータシステムにおいては、バスアイドル状態、バス要求信号および割り込み信号の有無を検出することによりシステム状態が調べられ、バスアイドル状態で、且つバス要求信号および割り込み信号が発生されてないことが検出されたときには、システムアイドルであると判断されてバスクロックが停止される。この場合、たとえバスアイドル状態であってもバス要求信号または割り込み信号が発生されている限りにおいてはバスクロックは停止されないので、周辺デバイスの動作に影響を与えることはない。よって、周辺デバイスに“CLKRUN”プロトコルなどの特別な機能を実装することなく不要なバスクロックを停止できるようになり、電力消費の低減ができる。

【0011】また、前記クロック制御手段としては、前記バスアイドル状態であることが検出され、且つ前記バス要求信号および割り込み信号が発生されてないことが検出されてから一定時間経過後に前記バスクロックが停止されるように、前記バスクロックを停止させるタイミングを遅延させる手段を含むことが好ましい。

【0012】システムアイドル時にすぐにバスクロックを停止させると、その後に割り込み信号などが発生されてもバスクロックの供給再開までには時間を要するので、システムパフォーマンスの低下を招くことになる。従って、システムパフォーマンスの低下を防止するため

には、クロック供給期間になるべく多くの処理をまとめて実行させるようにすることが必要であり、これはバスクロックを停止させるタイミングを遅延させることによって実現できる。

【0013】また、この発明のコンピュータシステムは、コンピュータシステムのバスに結合される複数のデバイスと、これら複数のデバイスに前記バス上のトランザクションのタイミングを与えるためのバスクロックを生成するバスクロック生成手段と、前記バス上のトランザクションを監視し、バスアイドル状態か否かを検出するバスアイドル検出手段と、前記各デバイスからのバス要求信号および割り込み信号の有無を検出するイベント検出手段と、前記バスアイドル検出手段および前記イベント検出手段の検出結果に基づいて前記バスクロック生成手段のクロック生成動作を制御するクロック制御手段であって、バスアイドル状態であることが検出され、且つ前記バス要求信号および割り込み信号が発生されてないことが検出されたとき前記バスクロックの周波数を低下させるクロック制御手段とを具備することを特徴とする。

【0014】この構成によれば、バスクロックを完全に停止する代わりに、そのバスクロックの周波数が低下される。通常、周辺デバイスは、バスクロックが停止されている状態においてもその内部の一部のロジックについては動作できるように構成されており割り込み信号やバス要求信号を正常に発生できるので問題はないが、周辺デバイスによってはバスクロックが停止されてしまうと全く動作できないものもある。したがって、このようなデバイスが接続されている場合には、バスクロックを完全に停止するのではなく、必要最低限のクロックを供給してそれらデバイスの動作を保証することが必要である。これにより、デバイスの動作を保証しつつ、電力消費の低減を図ることが可能となる。

【0015】

【発明の実施の形態】以下、図面を参照してこの発明の実施形態を説明する。図1には、この発明の一実施形態に係わるコンピュータシステムの構成が示されている。このコンピュータシステムは、バッテリ駆動可能なノートブックタイプまたはラップトップタイプのポータブルコンピュータであり、そのシステムボード上には、プロセッサバス1、PCIバス2、ISAバス3、CPU11、ホスト-PCIブリッジ装置12、主メモリ13、各種PCI周辺デバイス14、15、バスクロック制御回路16、バスクロック生成回路17、PCI-ISAブリッジ装置18、および各種ISA周辺デバイス19、20などが設けられている。

【0016】これらコンポーネントの内、PCIバス2に接続されたPCIデバイスとして機能するもの、すなわちホスト-PCIブリッジ装置12、各種PCI周辺デバイス14、15、PCI-ISAブリッジ装置18

には、バスクロック生成回路17によって生成されたPCIバスクロック(PCI CLK)が供給される。このPCIバスクロック(PCI CLK)は、各PCIデバイスに対してバストランザクションのタイミングを与えるものであり、PCIバス2上のサイクルは全てPCIバスクロック(PCI CLK)に同期して実行される。

【0017】次に、図1の各コンポーネントの機能および構成について説明する。CPU11は、例えば、米インテル社によって製造販売されているマイクロプロセッサ“Pentium”などによって実現されている。このCPU11の入出力ピンに直結されているプロセッサバス1は、64ビット幅のデータバスを有している。主メモリ13は、オペレーティングシステム、デバイスドライバ、実行対象のアプリケーションプログラム、および処理データなどを格納するメモリデバイスであり、複数のDRAMモジュールによって構成されている。

【0018】ホスト-PCIブリッジ装置12は、プロセッサバス1とPCIバス2との間を繋ぐブリッジLSIであり、PCIバス2のバスマスターの1つとして機能する。このホスト-PCIブリッジ装置12は、プロセッサバス1とPCIバス2との間で、データおよびアドレスを含むバスサイクルを双方向で変換する機能、およびメモリバスを介して主メモリ13をアクセス制御する機能などを有している。

【0019】PCIバス2はクロック同期型の入出力バスであり、前述したようにPCIバス2上の全てのサイクルはPCIバスクロックに同期して行なわれる。PCIバスクロックの周波数は最大33MHzである。PCIバス2は、時分割的に使用されるアドレス/データバスを有している。このアドレス/データバスは、32ビット幅である。

【0020】PCIバス2上のデータ転送サイクルは、アドレスフェーズとそれに後続する1以上のデータフェーズとから構成される。アドレスフェーズにおいてはアドレスおよび転送タイプが出力され、データフェーズでは8ビット、16ビット、24ビットまたは32ビットのデータが出力される。

【0021】PCIデバイス14、15は例えばグラフィックスコントローラ、PCカード(カードバス)コントローラ、IDEコントローラ、SCSIコントローラなどであり、ホスト-PCIブリッジ装置12と同様にPCIバス2のバスマスターとして機能する。

【0022】PCI-ISAブリッジ装置16は、PCIバス2とISAバス3との間を繋ぐブリッジLSIであり、PCIデバイスの1つとして機能する。ISAバス3上のISAデバイス19、20は、例えば、HDD、システムタイマ、キーボードコントローラなどである。

【0023】バスクロック制御回路16は各PCIデバイスに対するPCIバスクロック(PCI CLK)の供

給の停止/再開を制御するためのものであり、そのPCIバスクロック(PCI CLK)の停止/再開の制御は、バスアイドル信号、バス要求信号、およびシステムイベント信号に基づいて行われる。バスアイドル信号はPCIバス2の動作状態、つまりバス動作中(バスサイクル実行中)であるか否かを示す。バス要求信号は、バスマスターがPCIバス2の使用権をPCIバスアービタに要求するための信号である。システムイベント信号は、割り込み信号などシステム内で何らかのイベントが発生したことを示すものである。

【0024】バスクロック制御回路16は、バスアイドル信号によるPCIバスのアイドルを検出し、バス要求信号、およびシステムイベント信号がなければ、クロック制御信号によりバスクロック生成回路17を制御してバスクロックを停止させる。また、バスクロック停止中に、バス要求信号またはシステムイベント信号が発生した場合には、バスクロック制御回路16は、クロック制御信号によりバスクロック生成回路17を制御してバスクロックの供給を再開させる。

【0025】図2には、バスクロック制御回路16の具体的な構成例が示されている。図示のように、バスクロック制御回路16は、バス監視回路161、バス要求検出回路162、システムイベント検出回路163、ORゲート164、およびクロック制御信号出力回路165から構成されている。

【0026】バス監視回路161は前述のバスアイドル信号を生成するためのものであり、PCIバス2上に定義されたフレーム信号FRAME#およびイニシエータレディー信号IRDY#を用いてPCIバス2上のトランザクションを監視し、バス非動作であることを検出したときにバスアイドル信号を“H”レベルにアサートし、バス動作中であることを検出したときにはバスアイドル信号を“L”レベルにデアサートする。

【0027】ここで、FRAME#は、トランザクションの開始とその期間を示すために現在のマスタによってドライブされる信号である。FRAME#がデアサートされた時、トランザクションが最後のデータフェーズであることを示す。IRDY#は現在のマスタによってドライブされる信号であり、ライトサイクルにおいては、マスタがバス上に確定データを出力したことを示すためにアサートされ、リードサイクルにおいては、マスタがデータを受信する準備ができたことを示すためにアサートされる。

【0028】これらFRAME#およびIRDY#が共にデアサートされているとき、バス監視回路161はバスアイドル状態であることを検出し、バスアイドル信号を“H”レベルにアサートする。

【0029】バス要求検出回路162は、PCIデバイスそれからPCIバスアービタに入力される全てのバスリクエスト信号REQ1#～REQn#を監視し、

REQ1#～REQn#のいずれかがアサートされているときバス要求信号を“H”レベルにアサートする。

【0030】システムイベント検出回路は、各PCIデバイスから割り込みコントローラに入力される割り込み信号INTA-D、各ISAデバイスから割り込みコントローラに入力される割り込み信号IRQ0-15、さらにマスク不能割り込み信号NMI、システム管理割り込み信号SMIについての監視を行い、いずれかの割り込み信号が発生されているときシステムイベント信号を“H”レベルにアサートする。

【0031】バス監視回路161からのバスアイドル信号は、3入力ORゲート164の第1入力に反転入力される。また、バス要求検出回路162およびシステムイベント検出回路163からのバス要求信号およびシステムイベント信号は、そのまま3入力ORゲート164の第2入力および第3入力にそれぞれ入力される。3入力ORゲート164の出力はバス動作中（“H”レベル）／バス非動作中（“L”レベル）を示すものであり、クロック制御信号出力回路165に入力される。

【0032】クロック制御信号出力回路165は、3入力ORゲート164の出力に基づいてPCICLKの停止／再開を指示するクロック制御信号を発生する。次に、図3および図4を参照して、本実施形態の動作を説明する。

【0033】図3のタイミングチャートはバスロック（PCICLK）を停止させる場合のタイミングである。すなわち、FRAME#およびIRDY#が共にデアサートされたことが検出され、且つバス要求信号およびシステムイベント信号が発生されてないことが検出されると、3入力ORゲート164の出力はバス非動作中を示す“L”レベルとなる。これにより、クロック制御信号出力回路165からはPCICLKの停止を指示するクロック制御信号が発生され、これによって各PCIデバイスに対するPCICLKの供給が停止される。

【0034】このPCICLKの供給停止期間中に、クロック要求信号が発生されると（バス監視回路161によるFRAME#またはIRDY#のアサートの検出、バス要求検出回路162によるバス要求信号の発生の検出、またはシステムイベント検出回路163による割り込み信号の発生の検出）、3入力ORゲート164の出力はバス動作中を示す“H”レベルとなる。これにより、クロック制御信号出力回路165からはPCICLKの再開を指示するクロック制御信号が発生され、これによって各PCIデバイスに対するPCICLKの供給が再開される。

【0035】このように、図2の構成によれば、バスアイドル状態、バス要求信号および割り込み信号の有無を検出することによりシステム状態が調べられ、バスアイドル状態で、且つバス要求信号および割り込み信号が発生されてないことが検出されたときには、システムアイ

ドルであると判断されてPCICLKが停止される。この場合、たとえバスアイドル状態であってもバス要求信号または割り込み信号が発生されている限りにおいてはPCICLKは停止されないので、各PCIデバイスの動作に影響を与えることはない。また、PCICLKの停止中にPCIデバイスからバス要求信号や割り込み信号が発生されると、PCICLKの供給が再開され、PCICLKに同期した正常なバストランザクションを行うことが可能となる。よって、PCIデバイスに“CLRUN”プロトコルなどの特別な機能を実装することなく不要なバスクロックを停止できるようになり、電力消費の低減を図ることができる。

【0036】図5には、バスクロック制御回路16の第2の構成例が示されている。ここでは、図2の構成に加え、スナップタイマ166が設けられている。このスナップタイマ166は、PCICLKの停止タイミングを一定期間遅らせるためのものであり、3入力ORゲート164の出力がバス非動作中を示す“L”レベルとなってからカウント動作を開始し、所定のカウント値に達したときにそれをクロック制御信号出力回路165に通知する。これにより、PCICLKの停止を指示するクロック制御信号は、スナップタイマ166のカウント時間だけ遅れて発生されることになる。スナップタイマ166のカウント値は、たとえばバスクロック制御回路16内にカウンタ値を設定するためのコンフィグレーションレジスタを設け、そこに希望する遅れ時間に相当するカウンタ値をソフトウェア的に設定することによって、プログラマブルにすることができる。

【0037】図6には、図5のバスクロック制御回路16の状態遷移の様子が示されている。図6において、状態S1(RUN)はPCICLKが供給されている状態を示し、この状態でバス非動作が検知されると、状態S2(SNAP)に移行される。状態S2(SNAP)では、スナップタイマ166のカウント動作が行われる。スナップタイマ166のカウント動作中に割り込み信号の発生やバス要求信号の発生が検出されると、状態S1(RUN)に復帰されると共に、スナップタイマ166のカウント値は初期値に戻される。一方、状態S2(SNAP)においてスナップタイマ166のカウント動作が完了すると、状態S3(STOP)に移行される。状態S3(STOP)では、PCICLKの供給が停止される。状態S3(STOP)において割り込み信号の発生やバス要求信号の発生が検出されると、状態S1(RUN)に復帰される。

【0038】図7には、状態S2(SNAP)経由で状態S1(RUN)から状態S3(STOP)に遷移するときの動作タイミングが示されている。すなわち、FRAME#およびIRDY#が共にデアサートされたことが検出され、且つバス要求信号およびシステムイベント信号が発生されてないことが検出されると、3入力OR

ゲート164の出力はバス非動作中を示す“L”レベルとなる。これにより、スナップタイマ166のカウント動作が開始される。そのカウント動作が完了するまではPCI CLKは供給され続ける。そして、カウント動作が完了すると、クロック制御信号出力回路165からPCI CLKの停止を指示するクロック制御信号が発生され、これによって各PCIデバイスに対するPCI CLKの供給が停止される。

【0039】バスアイドル時にすぐにPCI CLKを停止させると、その後に割り込み信号などが発生されてもPCI CLKの供給再開までには時間を要するので、システムパフォーマンスの低下を招くことになる。従って、本例のように、PCI CLKの停止タイミングをスナップタイマ166のカウント動作によって一定期間遅延させることにより、システムパフォーマンスの低下を防止できるようになり、クロック供給期間内になるべく多くの処理をまとめて実行させることができるとなる。

【0040】また、PCIによってはバストランザクションが完了してから、つぎのイベントを起こすまでに何クロックが必要なものがあるので、スナップタイマ166を使用することによって、そのようなデバイスからのバス要求信号や割り込み信号に即座に応答できるようになる。

【0041】なお、以上の説明では、バス非動作中にPCI CLKを停止する場合の例についてのみ説明したが、PCI CLKを停止する代わりに、その周波数を低下させた状態でPCI CLKを供給し続けるようにしても電力消費を低減することができる。この場合における動作タイミングを図8に示す。

【0042】すなわち、FRAME#およびIRDY#が共にデアサートされたことが検出され、且つバス要求信号およびシステムイベント信号が発生されてないことが検出されると、3入力ORゲート164の出力はバス非動作中を示す“L”レベルとなる。これにより、クロック制御信号出力回路165からはPCI CLKの周波数を低下させるためにクロック制御信号が断続的に発生され、これによって各PCIデバイスに供給されるPCI CLKの周波数は分の1かに低減される。このようなスロークロック動作中に、クロック要求信号が発生されると（バス監視回路161によるFRAME#またはIRDY#のアサートの検出、バス要求検出回路162によるバス要求信号の発生の検出、またはシステムイベント検出回路163による割り込み信号の発生の検出）、3入力ORゲート164の出力はバス動作中を示す“H”レベルとなる。これにより、クロック制御信号出力回路165からはPCI CLKの再開を指示するクロック制御信号が発生され、これによって各PCIデバイスに供給されるPCI CLKの周波数は元の周波数に戻される。

【0043】また、このようなスロークロック制御と図

5のスナップタイマ166とを組み合わせて使用し、バス非動作中が検出されてから一定時間経過後にPCI CLKの周波数を落とすようにしてもよい。

【0044】通常のPCIデバイスは、バスロックが停止されている状態においてもその内部の一部のロジックについては動作できるように構成されており割り込み信号やバス要求信号を正常に発生できるので問題はないが、PCIデバイスによってはバスロックが停止されてしまうと全く動作できないものもある。したがって、このようなデバイスが接続されている場合には、前述したように、バスロックを完全に停止するのではなく、必要最低限のクロックを供給してそれらデバイスの動作を保証することが好ましい。これにより、デバイスの動作を保証しつつ、電力消費の低減を図ることが可能となる。

【0045】

【発明の効果】以上説明したように、この発明によれば、バスアイドル状態、バス要求信号および割り込み信号の有無を検出することによりシステム状態を調べ、それに応じてバスロックの停止／再開を制御することにより、PCIデバイスに“CLKRUN”プロトコルなどの特別な機能を実装することなく不要なバスロックを停止できるようになり、電力消費の低減を図ることができる。特に、スナップタイマの使用およびバスロック周波数の制御を行うことにより、システムパフォーマンスの向上やPCIデバイスの種類に依存しないパワーセーブを実現できるようになる。

【図面の簡単な説明】

【図1】この発明の一実施形態に係るコンピュータシステムの構成を示すブロック図。

【図2】同実施形態のシステムに設けられたバスロック制御回路の構成の一例を示す図。

【図3】図2のバスロック制御回路を用いたクロック停止動作を示すタイミングチャート。

【図4】図2のバスロック制御回路を用いたクロック再開動作を示すタイミングチャート。

【図5】同実施形態のシステムに設けられたバスロック制御回路の第2の構成例を示す図。

【図6】図5のバスロック制御回路の状態遷移を示す図。

【図7】図5のバスロック制御回路を用いたクロック停止動作を示すタイミングチャート。

【図8】図2または図5のバスロック制御回路を用いて実現されるバスロック周波数低下処理の動作を示すタイミングチャート。

【符号の説明】

2…PCIバス

3…ISAバス

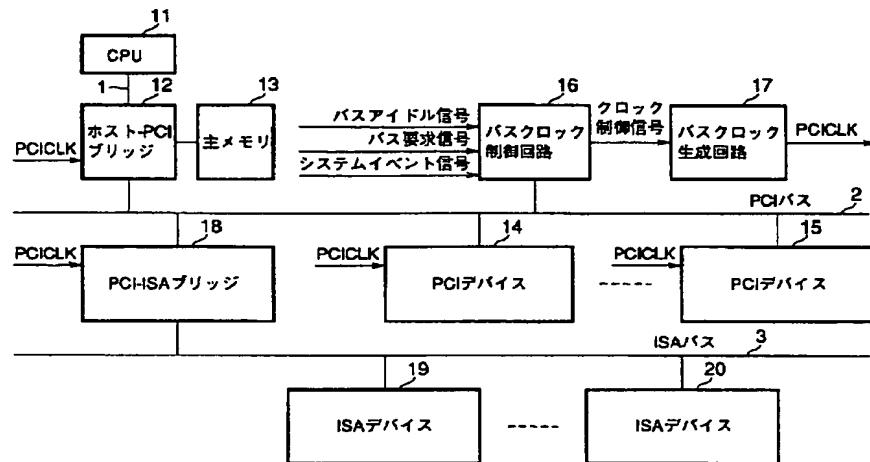
11…CPU

12…ホスト-PCIブリッジ

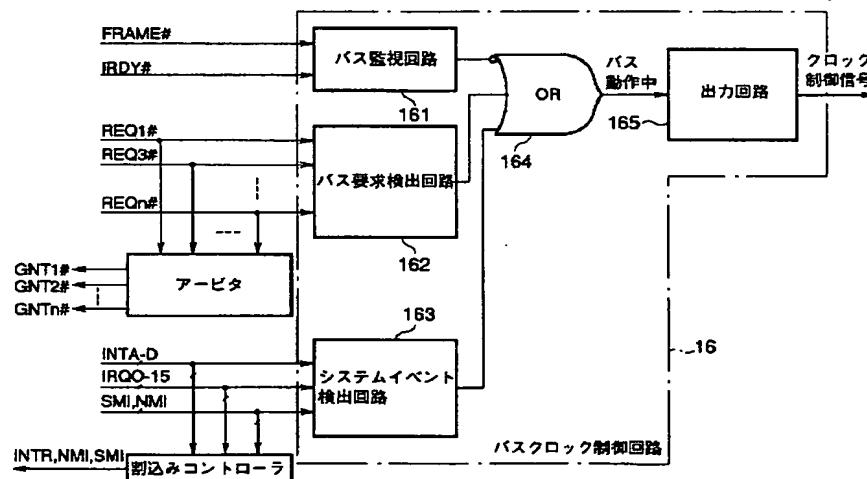
13…メモリ
14, 15…PCI周辺デバイス
16…バスクロック制御回路
17…バスクロック生成回路
18…PCI-D Sブリッジ

* 161…バス監視回路
162…バス要求検出回路
163…システムイベント検出回路
166…スナップタイム
*

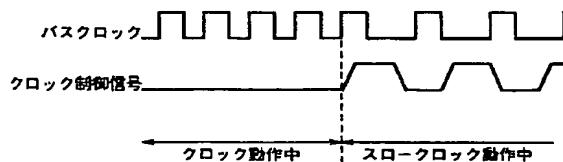
【図1】



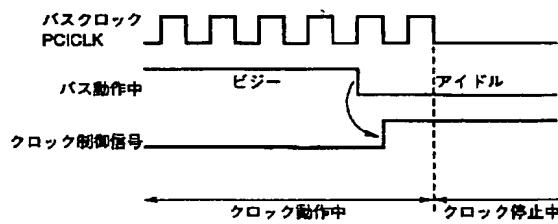
【図2】



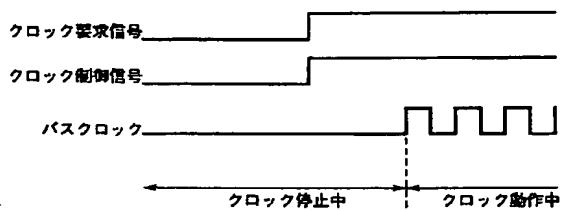
【図8】



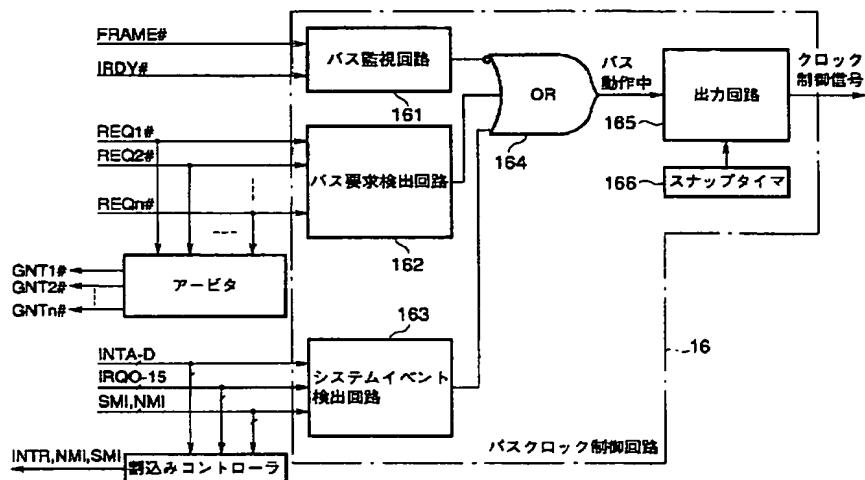
【図3】



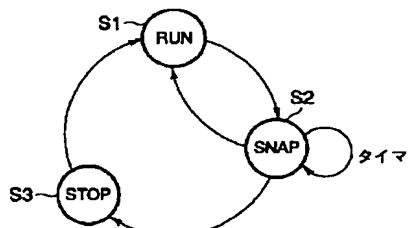
【図4】



【図5】



【図6】



【図7】

